

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC882 U.S. PTO
09/640754
08/18/00

In re Patent Application of :
In-sung Kim et al. : Attn: Applications Branch
Serial No. [NEW] : Attorney Docket No. SEC.747
Filed: August 18, 2000 :
For: SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT AND
METHOD OF FABRICATING THE SAME

2 / Priority
Paper 0
10/29/00
V. Varnado

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

Appln. No. 1999-39837 filed September 16, 1999

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, LLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Dated: August 18, 2000

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

JC882 U.S. PTO

09/640754



08/18/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

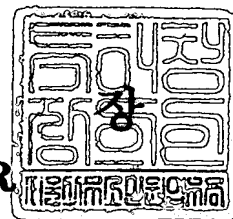
출원번호 : 1999년 특허출원 제39837호
Application Number

출원년월일 : 1999년 9월 16일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

1999년 11월 18일

특허청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	1999.09.16
【국제특허분류】	H01L
【발명의 명칭】	자기 정렬 콘택을 가지는 반도체 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having self aligned contact and method for manufacturing thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	1999-009616-8
【발명자】	
【성명의 국문표기】	김인성
【성명의 영문표기】	KIM, In Sung
【주민등록번호】	691011-1545432
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 948-32 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	박준수
【성명의 영문표기】	PARK, Joon Soo

【주민등록번호】 670818-1162214
【우편번호】 135-280
【주소】 서울특별시 강남구 대치동 은마아파트 31동 1313호
【국적】 KR
【발명자】
【성명의 국문표기】 이중현
【성명의 영문표기】 LEE, Jung Hyeon
【주민등록번호】 630827-1069611
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 삼성아파트 924동 403호
【국적】 KR
【발명자】
【성명의 국문표기】 강현재
【성명의 영문표기】 KANG, Hyun Jae
【주민등록번호】 710627-1473711
【우편번호】 430-016
【주소】 경기도 안양시 만안구 안양6동 393-19 203호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인) 대리인
 곽덕영 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 14 면 14,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 19 항 717,000 원
【합계】 760,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 자기정렬 콘택을 가진 반도체 소자 및 그 제조방법에 대한 것이다. 본 발명에 따른 자기정렬 콘택을 가진 반도체 소자는 도전영역, 도전라인 및 상기 도전라인과 도전영역을 전기적으로 연결하는 콘택 플러그를 포함한다. 상기 도전라인은 상기 콘택 플러그의 측벽을 통하여 전기적으로 연결되고, 상기 도전영역은 상기 콘택 플러그의 저부를 통하여 전기적으로 연결되며, 상기 콘택 플러그의 평단면의 면적은 상부에서 하부로 갈수록 감소한다. 본 발명에 따른 반도체 소자 제조방법에 따르면, 하부에 형성되는 도전영역과 상부에 형성되는 도전라인을 콘택 플러그로 연결하는데 있어서, 콘택 플러그를 도전라인을 형성하고 난 이후에 자기정렬 방식으로 형성한다.

【대표도】

도 9a

【명세서】**【발명의 명칭】**

자기정렬 콘택을 가지는 반도체 소자 및 그 제조방법 {Semiconductor device having self aligned contact and method for manufacturing thereof}

【도면의 간단한 설명】

도 1은 종래 기술에 의하여 하부막 패턴과 상부막 패턴을 형성한 후의 반도체 기판의 상부표면 일부를 도시한 평면도이다.

도 2는 도 1의 II-II'선에 따른 단면도이다.

도 3a 내지 도 9b는 본 발명에 따른 반도체 소자 제조방법의 제 1 실시예를 도시한 단면도들이다.

도 10 내지 도 16은 본 발명에 따른 반도체 소자 제조방법의 제 2 실시예를 도시한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자 및 그 제조방법에 대한 것으로서, 상세하게는 자기정렬 콘택을 가지는 반도체 소자 및 그 제조방법에 대한 것이다.

<6> 반도체 소자를 제조하기 위해서는 다양한 물질로 이루어진 패턴들 예를 들어 금속막 패턴, 반도체 물질막 패턴, 절연막 패턴 등을 소정의 순서로 반도체 기판 상에 적층해야 한다. 상기와 같은 패턴들을 반도체 기판 상에 형성할 때에는 하부막 패턴을 기준으로 마스크를 정

렬시키고 사진 식각공정을 실시함으로써, 상부막 패턴을 형성하는 것이 일반적이다. 그런데, 반도체 소자의 집적도가 증가함에 따라서, 사진 식각공정에서의 마스크 정렬마진이 감소하여 하부막 패턴과 상부막 패턴을 정확하게 정렬하는 것이 점점 더 어려워지고 있다. 상기 마스크 정렬마진의 감소는 반도체 소자의 집적도 향상에 걸림돌이 되고 있으며, 실제로 반도체 소자의 동작특성에도 악영향을 줄 수가 있다.

<7> 따라서, 이하에서는 종래 기술에 의하여 하부막 패턴과 상부막 패턴을 정렬시키는 경우에 발생하는 문제점을 첨부한 도면을 참조하여 상세하게 설명한다.

<8> 도 1 및 도 2를 참조하면, 반도체 기판의 상부(10)에 층간절연막(12)을 형성한다. 그 다음, 층간절연막(12)내에 반도체 소자의 정션영역(14), 예를 들어 소오스 영역 또는 드레인 영역과 콘택하는 콘택 플러그(16)를 하부막 패턴으로 형성한다. 이어서, 콘택 플러그(16)가 형성된 반도체 기판(10) 상부에 도전막을 형성한 후, 사진-식각공정을 실시하여 상부막 패턴으로 도전라인(18)을 형성한다. 그런데, 도전라인(18)을 패터닝하기 위한 사진 식각공정에서의 매우 작은 정렬마진으로 인해 최종적으로 패터닝된 도전라인(18)과 콘택 플러그(16)가 바람직한 콘택(도 1의 20 참조)을 형성하지 못하고 미스얼라인되어 형성된다.

<9> 도 1에 도시된 바와 같이 하부막 패턴인 콘택 플러그(16)와 상부막 패턴인 도전라인(18)이 정확하게 정렬되지 않으면, 반도체 소자의 동작특성에 영향을 미치게 된다. 즉, 콘택 플러그(16)와 도전라인(18) 사이의 콘택면적의 감소는 콘택저항을 상승시킴으로써, 반도체 소자의 동작 속도를 저하시킨다. 또한, 하부막 패턴과 상부막 패턴이 바람직한 정렬마진 내에서 정렬될 수 있는 기술적 수단이 제공되지 않는다면, 향후 반도체 소자의 집적도 향상에 한계가 있을 수도 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명이 이루고자 하는 기술적 과제는 자기정렬 콘택을 가진 반도체 소자를 제공하는 것이다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는 사진 식각공정의 정렬마진에 의하여 영향을 받지 않는 반도체 소자 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<12> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 자기정렬 콘택을 가진 반도체 소자는 도전영역, 도전라인 및 상기 도전라인과 도전영역을 전기적으로 연결하는 콘택 플러그를 포함하는 반도체 소자에 대한 것으로서, 상기 도전라인은 상기 콘택 플러그의 측벽을 통하여 전기적으로 연결되고, 상기 도전영역은 상기 콘택 플러그의 저부를 통하여 전기적으로 연결되며, 상기 콘택 플러그의 평단면의 면적은 상부에서 하부로 갈수록 감소한다.

<13> 상기 콘택 플러그 저부의 X축 방향으로의 폭은 상기 도전라인의 선평에 의하여 자기정렬된 폭인 것이 바람직하다.

<14> 상기 콘택 플러그 상부의 X축 방향으로의 폭은 상기 도전라인의 선평보다는 큰 것이 바람직하다.

<15> 상기 도전영역은 비트라인 콘택패드, 워드라인 콘택패드, 소오스 영역, 드레인 영역, 게이트 전극 또는 충전배선일 수 있다.

<16> 상기 도전라인은 비트라인, 워드라인 또는 충전배선일 수 있다.

<17> 본 발명의 일태양에 따른 반도체 소자 제조방법에 따르면, 먼저 반도체 기판상에 도전영역을 형성한다. 상기 도전영역은 비트라인 콘택패드, 워드라인 콘택패드, 소오스 영역, 드

레인 영역, 게이트 전극, 또는 다층 배선구조를 구비하는 반도체 집적회로 소자의 층간배선일 수 있다. 그 다음, 도전영역이 형성된 반도체 기판의 전면에 제 1 층간절연막을 형성한다. 이어서, 상기 제 1 층간절연막상에 상기 도전영역과 연결될 도전라인을 형성한다. 상기 도전라인은 반도체 집적회로 소자의 층간배선, 워드라인 또는 비트라인일 수 있다. 그런다음, 상기 도전영역의 상부에 형성된 상기 제 1 층간절연막, 상기 도전라인 및 상기 제 2 층간절연막을 제거하여 상기 도전영역을 노출시키는 콘택홀을 형성한다. 그리고나서, 상기 콘택홀 내부에 도전물질을 채워 상기 도전라인과 상기 도전영역을 연결한다.

<18> 상기 도전라인은 다마신 공정을 수행하여 형성할 수도 있다. 먼저, 상기 제 1 층간절연막상에 상기 도전라인이 형성될 개구를 가지는 절연막 패턴을 형성한다. 그런다음, 상기 개구 내에 상기 도전라인을 형성한다.

<19> 상기 콘택홀을 형성하는 단계는 다음과 같이 진행할 수 있다.

<20> 먼저, 상기 제 2 층간절연막상에 감광막 패턴을 형성하되, 상기 감광막 패턴의 폭이 상기 도전라인의 선폭보다 크도록 형성한다. 그 다음, 상기 감광막 패턴을 식각마스크로 하여 상기 제 2 층간절연막을 식각하여 상기 도전라인을 노출시킨다. 그리고나서, 상기 식각된 제 2 층간절연막을 식각마스크로 하여 상기 도전라인 및 상기 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성한다. 경우에 따라서, 상기 도전라인을 노출시킨 다음, 감광막 패턴을 제거할 수 있다.

<21> 상기 콘택홀을 형성하는 단계는 다음과 같이 진행할 수도 있다.

<22> 먼저, 상기 제 2 층간절연막상에 감광막 패턴을 형성하되, 상기 감광막 패턴의 폭이 상기 도전라인의 선폭보다 크도록 형성한다. 그 다음, 상기 감광막 패턴을 식각마스크로 하여

상기 제 2 층간절연막을 식각하여 상기 도전라인을 노출시킨다. 그리고나서, 상기 식각된 제 1 층간절연막을 식각마스크로 하여 상기 도전라인을 식각함으로써 상기 제 1 층간절연막을 노출시킨다. 그런다음, 상기 노출된 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성한다. 경우에 따라서, 상기 도전라인을 노출시킨 다음, 상기 감광막 패턴을 제거할 수 있다.

<23> 상기 콘택홀의 상부의 단면적은 하부의 단면적보다 큰 것이 바람직하다.

<24> 본 발명의 다른 태양에 따른 반도체 소자 제조방법에 따르면, 먼저 반도체 기판의 상부에 도전영역을 형성한다. 상기 도전영역은 비트라인 콘택패드, 워드라인 콘택패드, 소오스 영역, 드레인 영역, 게이트 전극 또는 층간배선일 수 있다. 그 다음, 상기 도전영역이 형성된 반도체 기판의 전면에 제 1 층간절연막을 형성한다. 그런다음, 상기 제 1 층간절연막상에 상기 도전영역과 연결될 도전라인을 형성하되, 상기 도전영역과 연결될 부분이 소정의 폭 이상으로 단선되도록 형성한다. 상기 도전라인은 비트라인, 워드라인 또는 층간배선일 수 있다. 그리고나서, 상기 도전라인상에 제 2 층간절연막을 형성한다. 그 다음, 상기 도전영역 상부에 형성된 상기 제 1 층간절연막, 상기 도전라인의 단선부분 내에 채워진 제 2 층간절연막 및 상기 단선부분의 상부에 형성된 제 2 층간절연막을 제거하여 콘택홀을 형성한다. 그런다음, 상기 콘택홀 내부에 도전물질을 채워 상기 도전라인과 상기 도전영역을 연결한다.

<25> 상기 단선된 도전라인은 다마신 공정을 수행하여 형성할 수 있다. 먼저, 상기 제 1 층간절연막상에 상기 소정의 폭으로 단선된 도전라인이 형성될 개구를 가지는 절연막 패턴을 형성한다. 그런다음, 상기 개구에 상기 소정의 폭으로 단선된 도전라인을 형성한다.

<26> 상기 콘택홀을 형성하는 단계는 다음과 같이 진행할 수 있다.

- <27> 먼저, 상기 제 2 층간절연막상에 감광막 패턴을 형성하되, 상기 도전라인의 선폭 및 단 선폭보다 큰 가로 세로폭을 가지는 감광막 패턴을 형성한다. 그 다음, 상기 감광막 패턴 및 상기 단선된 도전라인을 식각마스크로 하여 상기 단선부분의 상부에 형성된 제 2 층간절연막, 상기 단선부분 내에 채워진 제 2 층간절연막 및 상기 단선부분의 하부에 형성된 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성한다.
- <28> 상기 콘택홀을 형성하는 단계는 다음과 같이 진행할 수도 있다.
- <29> 먼저, 상기 제 2 층간절연막상에 감광막 패턴을 형성하되, 상기 도전라인의 선폭 및 단 선폭보다 큰 가로 세로폭을 가지는 감광막 패턴을 형성한다. 그 다음, 상기 감광막 패턴을 식각마스크로 하여 상기 단선부분의 상부에 형성된 제 2 층간절연막을 식각하여 상기 단선된 도전라인을 노출시킨다. 그런다음, 상기 식각된 제 2 층간절연막 및 상기 단선된 도전라인을 식각마스크로 하여 상기 단선부분 내에 채워진 제 2 층간절연막 및 상기 단선부분의 하부에 형성된 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성한다. 경우에 따라서, 상기 단선된 도전라인을 노출시킨 다음, 상기 감광막 패턴을 제거하는 단계를 추가로 진행할 수 있다.
- <30> 상기 콘택홀은 상부 단면적이 하부의 단면적보다 큰 것이 바람직하다.
- <31> 이하에서는, 첨부한 도면을 참고하여 본 발명에 따른 자기정렬 콘택을 가지는 반도체 소자 및 그 제조방법을 상세하게 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 본 발명이 속한 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면상에서 층이나 영역들의 두께는 설명의 명확성을 위하여 과장되어진 것이다. 도면상에서 동일한 부호

는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 상부에 있다라고 기재한 경우 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제 3의 층이 개재되어질 수 있다. 또한, 도면을 참조하여 본 발명을 상세하게 설명함에 있어서, X축 방향은 도전라인의 폭방향이고, Y축 방향은 도전라인의 길이방향이며, Z축 방향은 반도체 기판상에 각종 패턴을 적층하는 방향이다. 각 도면의 좌측에는 도면의 이해를 돕기 위하여 공간좌표계를 도시하였다.

<32> 이하 도 3a 내지 도 9b를 참조하여 본 발명의 제 1 실시예에 따른 반도체 소자 제조방법을 설명한다. 여기에서 도 3a, 도 4a, 도 5a, 도 6a, 도 7a, 도 8a 및 도 9a는 X방향 단면도들이고, 도 3b, 도 4b, 도 5b, 도 6b, 도 7b, 도 8b 및 도 9b는 Y축 방향 단면도들이다.

<33> 도 3a 및 도 3b를 참조하면, 먼저 반도체 기판의 상부(30)에 도전영역(31)을 형성한다. 그 다음, 도전영역(31)이 형성된 반도체 기판의 상부(30)에 제 1 층간절연막(32)을 형성한다. 도전영역(31)은 비트라인 콘택패드, 워드라인 콘택패드, 소오스 영역, 드레인 영역, 게이트 전극 또는 다층배선구조를 구비하는 반도체 소자의 경우에는 층간배선일 수 있다. 제 1 층간절연막(32)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, USG(UndopedSilicate Glass), BSG(BoroSilicate Glass)막, BPSG(BoroPhosphoSilicate Glass)막, PE-TEOS(Plasma Enhanced TetraEthylOrthoSilicate)막, TEOS막 또는 O_3 -TEOS막일 수 있다.

<34> 그 다음, 제 1 층간절연막(32) 상부에 도전막을 증착한 후, 사진식각 공정을 수행하여 도전라인(34)을 형성한다. 도전라인(34)은 불순물이 도핑된 폴리실리콘막, 구리막, 금막, 알루미늄막, 은막, 텅스텐막, 실리사이드막 또는 이들간의 조합막으로 형성할 수 있다. 또한,

1019990039837

도전라인(34)은 단일막으로 형성할 수도 있고, 이중막 이상의 층상구조로 형성하는 것도 가능하다. 예를 들어, 텅스텐 실리사이드막을 제 1 막으로 형성하고, 불순물이 도핑된 폴리실리콘막을 제 2 막으로 형성하여 도전라인(34)을 이중막으로 형성하는 것도 가능하다.

<35> 도 4a 및 도 4b를 참조하면, 도전라인(34)이 형성된 반도체 기판의 전면에 제 2 층간절연막(36)을 형성한다. 제 2 층간절연막(36)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, USG막, BSG막, BPSG막, PE-TEOS막, TEOS막 또는 O_3 -TEOS막일 수 있다. 경우에 따라서, 제 2 층간절연막(36) 상부표면의 평탄도가 좋지 않은 경우에는 제 2 층간절연막(36)이 형성된 반도체 기판의 전면을 평탄화할 수 있다. 상기 제 2 층간절연막(36)의 상부표면을 평탄화하기 위해, 화학기계적 연마방법, 에치백 방법 또는 열적 리플로우 방법을 사용할 수 있다.

<36> 도시하지는 않았지만, 상기 도전라인(34)은 다마신 공정을 실시하여 형성할 수도 있다. 다마신 공정을 적용하기 위해서 제 1 층간절연막(32) 상에 도전라인을 정의하는 개구를 구비하는 제 2 하부 층간절연막을 형성한다. 그 다음, 상기 개구를 채우는 도전막을 형성한 다음, 상기 도전막을 상기 제 2 하부 층간절연막의 상부표면과 실질적으로 동일한 레벨로 평탄화한다. 그러면, 상기 도전라인(34)이 제 2 하부 층간절연막 내에 형성된다. 그리고 나서, 제 2 하부 층간절연막 상부에 제 2 상부 층간절연막을 추가로 형성한다. 제 2 하부 층간절연막 및 제 2 상부 층간절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, USG막, BSG막, BPSG막, PE-TEOS막, TEOS막 또는 O_3 -TEOS막일 수 있다.

<37> 제 2 층간절연막(36)을 형성한 다음, 제 2 층간절연막(36)의 상부에 감광막 패턴(38)을 형성하여, 제 2 층간절연막(36)의 상부표면을 제 1 폭(W_1)과 제 2 폭(W_2)으로 노

출시킨다. 제 1 폭(W_1)은 도전라인(34)의 선폭(D)보다 크게 형성하여도 무방하다. 후술하겠지만, 본 발명에 따른 제 1 실시예의 경우, 최종적으로 형성되는 콘택의 폭이 도전라인(34)의 선폭(D)에 의하여 자기정렬되기 때문에, 콘택을 정의하는 감광막 패턴(38)을 형성할 때, 큰 정렬마진을 확보할 수 있게 된다. 제 2 층간절연막(36) 상부에 감광막 패턴(38)을 형성하기 위하여, 감광막을 형성하기 전에 반사방지막(도시하지 않음)을 형성할 수도 있다. 반사방지막을 형성하게 되면 노광공정을 실시하여 감광막 패턴을 형성할 때, 도전라인(34) 등에서 반사파가 생성되는 것을 방지할 수 있어, 감광막 패턴(38)의 프로파일이 손상되는 것을 방지할 수 있다.

<38> 도 5a 및 도 5b를 참조하면, 감광막 패턴(38)을 식각마스크로 하여 제 2 층간절연막(36)을 식각함으로써, 도전라인(34)의 상부표면 및 도전라인(34) 좌우의 제 2 층간절연막(40)을 노출시킨다. 상기 식각공정은 이방성 특성이 있는 건식식각 방법, 예컨대 반응성 식각방법을 이용한다. 상기 식각공정의 식각종료점은 도전라인(34)의 상부표면인 것이 바람직하다. 한편, 식각공정이 종료되면, 감광막 패턴의 제 1 폭(W_1)이 도전라인(34)의 선폭(D)보다는 크기 때문에, 도 5a에 도시된 바와 같이 도전라인(34)의 좌우에 제 2 층간절연막의 일부(40)가 노출된다.

<39> 도 6a 및 도 6b를 참조하면, 감광막 패턴(38) 및 도전라인(34) 좌우에 드러난 제 2 층간절연막(도 5a의 40 참조)을 식각마스크로 하여 도전라인(34)을 식각한다. 상기 식각공정은 이방성 식각특성이 있는 건식 식각방법, 예컨대 반응성 이온식각방법을 사용한다. 건식 식각을 위한 반응가스를 선택함에 있어서는 제 2 층간절연막(36)보다 도전라인(34)을 빨리 식각할 수 있는 반응가스를 선택한다. 즉, 제 2 층간절연막(36)에 대한 도전라인(34)의 식각선택비가 큰 반응가스를 선택한다. 따라서, 도전라인(34)이 폴리실리콘을 함유하고 있는

경우에는 CF_4 또는 CF_6 를 함유하는 반응가스를 식각가스로 사용하고, 도전라인(34)이 알루미늄을 함유하고 있는 경우에는 BCl_3 , $\text{BCl}_3 + \text{Cl}_2$, $\text{CCl}_4 + \text{Cl}_2 + \text{BCl}_3$ 또는 $\text{SiCl}_4 + \text{Cl}_2$ 를 함유하는 반응가스를 식각가스로 사용하고, 도전라인(34)이 금 또는 은을 함유하고 있는 경우에는 $\text{C}_2\text{Cl}_2\text{F}_2$, Cl_2 또는 CClF_3 를 함유하는 반응가스를 식각가스로 사용하고, 도전라인(34)이 전이금속을 함유하고 있는 경우에는 $\text{CF}_4 + \text{O}_2$, $\text{NF}_3 + \text{H}_2$ 또는 $\text{SF}_6 + \text{O}_2$ 를 함유하는 반응가스를 식각가스로 사용하고, 도전라인(34)이 실리사이드물질을 함유하고 있는 경우에는 $\text{CF}_4 + \text{O}_2$, NF_3 , $\text{SF}_6 + \text{Cl}_2$ 또는 $\text{CF}_4 + \text{Cl}_2$ 를 함유하는 반응가스를 식각가스로 사용하고, 도전라인(34)이 텅스텐을 함유하고 있는 경우에는 SF_6 를 함유하는 반응가스를 식각가스로 사용한다. 상기 식각공정을 통하여 도전라인(34)이 식각되면, 제 1 층간절연막을 노출시키는 콘택홀(42)이 형성된다. 한편, 콘택홀(42)이 형성되는 과정에서 도전라인(34)만이 식각되어 제거되는 것이 아니라, 도전라인(34) 좌우의 제 2 층간절연막(도 5a의 40 참조)도 식각될 수 있기 때문에, 콘택홀(42)의 측벽에 경사면이 형성될 수 있다. 또한, 도전라인(34)이 식각되고 나면, 제 1 층간절연막(32)의 노출폭(W_3)은 도전라인(도 5a의 34 참조)의 선포(도 5a의 D 참조)보다 클 수도 있다. 그러나, 식각공정을 정확하게 조절함으로써, 제 1 층간절연막(32)의 상부가 도전라인(34)의 선포(D)과 같은 폭으로 노출되도록 할 수도 있다. 도 6a에 도시된 바와 같이 제 1 층간절연막(32)의 상부표면이 도전라인(도 5a의 34 참조)의 선포(도 5a의 D 참조)보다 크거나 같은 폭(W_3)으로 노출되기 때문에, 도전라인(34)을 식각하는 단계가 종료되면, 도전라인(34)은 단선(도 6b O 참조)된다.

<40> 도 7a 및 도 7b를 참조하면, 도전라인(도 5a의 34 참조)의 선포(도 5a의 D 참조)보다 크거나 같은 폭(도 6a의 W_3 참조)으로 노출된 제 1 층간절연막(32)을 식각하여 콘택홀(42)의 저부를 연장시킨다. 상기 식각공정의 식각종료점은 도전영역(31)의 상부표면인 것

이 바람직하다. 상기 도전영역(31)은 비트라인 콘택패드, 워드라인 콘택패드, 소오스 영역, 드레인 영역, 게이트 전극 또는 다층배선 구조를 구비하는 반도체 소자의 경우에는 층간배선 일 수 있다. 상기 제 1 층간절연막(32)을 식각하는 식각공정은 이방성 식각특성을 가지고 있는 건식 식각방법, 예컨대 반응성 이온식각방법을 이용한다. 제 1 층간절연막(32)을 식각하여 도전영역(31)을 노출시키는 과정에서 콘택홀(42)의 경사진 측벽도 식각된다. 따라서, 연장된 콘택홀(42)이 도전영역(31)을 노출시키는 폭은 도전라인(도 5a의 34 참조)의 선포(도 5a의 D 참조)보다 클 수도 있다. 그러나, 연장된 콘택홀(42)이 도전라인(34)의 선포(D)보다 큰 폭으로 도전영역을 노출시킨다 하더라도, 연장된 콘택홀(42)이 도전영역(31)을 노출시키는 폭은 도전라인(34)의 선포(D)에 의하여 자기정렬된다는 사실에는 변함이 없다.

<41> 상기에서는 도전영역(31)을 노출시키는 콘택홀(42)을 여러 번의 식각공정을 실시하여 형성하고 있다. 그러나, 공정단계의 수를 줄이기 위하여 감광막 패턴(38)을 식각마스크로 하여 제 2 층간절연막(36), 도전라인(34) 및 제 1 층간절연막(32)을 순차적으로 식각하여 도전영역(31)을 노출시키는 콘택홀(42)을 단일공정으로 형성할 수도 있다. 또한, 감광막 패턴(38)을 식각마스크로 하여 제 2 층간절연막(36)을 식각하여 도전라인(34)의 상부표면 및 도전라인 좌우의 제 2 층간절연막(도 5a의 40 참조)을 노출시킨 후, 도전라인 좌우의 제 2 층간절연막(도 5a의 40 참조)을 식각마스크로 하여 도전라인(34) 및 제 1 층간절연막(32)을 순차적으로 식각하여 도전영역(31)을 노출시키는 콘택홀(42)을 형성할 수도 있다.

<42> 도 8a 및 도 8b를 참조하면, 감광막 패턴(도 7a의 38 참조)을 제거한다. 한편, 도전영역(31)을 노출시키는 콘택홀(42)을 형성하는 과정에서, 감광막 패턴(도 7a의 38 참조)을 구성하는 유기물질에 의하여 콘택홀(42)이 오염될 수도 있고, 도전영역(31)에 자연산화막

이 형성되어 있을 수도 있다. 따라서, 콘택홀(42)의 내부를 클리닝하여 상기 유기물질 및 자연산화막을 제거하는 것이 바람직하다. 특히, 이후에 형성되는 콘택 플러그(도 9b의 44 참조)와 도전라인(34)의 전기적 연결은 콘택 플러그(도 9b의 44 참조)의 측벽을 통하여 이루어지기 때문에 상기 유기물질은 반드시 제거가 되어야 한다. 왜냐하면, 유기물질이 도전라인(34)과 콘택 플러그(도 9b의 44 참조)의 접촉 계면에 존재하게 되면 콘택 저항이 상승하여 반도체 소자의 동작속도를 저하시킬 수 있기 때문이다. 콘택홀(42)의 내부를 클리닝하는 단계는 드라이클리닝 방법을 이용하는 것이 바람직하다.

<43> 한편, 본 실시예에서는 감광막 패턴(도 7a의 38 참조)을 콘택홀(42)을 형성한 이후에 제거한다. 그러나, 제 2 층간절연막(도 5a의 36 참조)을 식각하여 도전라인(도 5a의 34 참조)의 상부표면 및 도전라인 좌우의 제 2 층간절연막(도 5a의 40 참조)을 노출시킨 다음, 바로 감광막 패턴(도 5a의 38 참조)을 제거할 수도 있다. 감광막 패턴(도 5a의 38 참조)을 콘택홀(42)을 형성하기 전에 제거하게 되면, 콘택홀(42)의 내부가 감광막 패턴(도 5a의 38 참조)을 구성하는 유기물질에 의하여 오염되는 것을 방지할 수 있다. 또한, 감광막 패턴(도 5a의 38 참조)을 콘택홀(42)을 형성하기 이전에 제거하는 경우에는, 콘택홀(42)을 형성하고 난 이후에도 제 2 층간절연막(36)이 도전라인(34)의 상부에 존재할 수 있도록, 제 2 층간절연막(36)을 형성할 때 충분한 두께로 형성하는 것이 바람직하다. 왜냐하면, 콘택홀(42)을 형성하기 전에 감광막 패턴(도 5a의 38 참조)을 제거하면, 콘택홀(42)이 형성되는 과정에서 제 2 층간절연막(36)이 에치백되기 때문이다.

<44> 도 9a 및 도 9b를 참조하면, 콘택홀(42) 내부 및 제 2 층간절연막(36) 상부에 도전물질을 증착하여 도전막을 형성한다. 그런데, 상기 콘택홀(42)에는 경사면이 형성되어 있어, 도전막의 스텝커버리지가 양호해지고 보이드와 같은 결점이 발생하는 것을 방지할 수 있다.

그 다음, 도전막이 형성된 반도체 기판의 상부를 평탄화한다. 상기 도전막은 알루미늄막, 구리막, 금막, 은막, 불순물이 도핑된 폴리실리콘막, 텅스텐막, 백금막, 텅스텐 실리사이드막, 티타늄 실리사이드막 또는 이들의 조합막일 수 있다. 상기 평탄화단계는 화학기계적 연마방법 또는 에치백 방법을 이용할 수 있다. 상기 평탄화 단계의 평탄화 종료점은 도전라인(34)의 상부표면인 것이 바람직하다. 상기 평탄화공정에 의하여 도전라인(34)의 상부표면이 노출되면 도전라인(34)과 도전영역(31)를 연결하는 콘택 플러그(44)가 형성된다. 콘택 플러그(44)가 형성되면, 도전라인(34)과 도전영역(31)사이에 자기정렬된 콘택이 형성된다. 상기 도전막을 형성하기 전에 콘택 플러그(44)와 제 1 층간절연막(32)의 접착력을 향상시키고, 콘택 플러그(44)를 구성하는 물질이 제 1 층간절연막(32)으로 확산되는 것을 방지하기 위하여 베리어 메탈막(미도시)을 형성할 수도 있다. 상기 베리어 메탈막은 Ti/TiN 막으로 형성할 수 있다. 그러나, 상기 베리어 메탈막은 Ti/TiN 막으로 한정되지 아니함은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 당연하다.

<45> 한편, 본 발명에 따른 제 1 실시예에 의하여 형성되는 콘택 플러그(44)는 도전라인(34)을 관통하도록 형성된다. 즉, 종래기술에 의하여 형성되는 콘택 플러그는 도전라인(34)보다 먼저 형성되기 때문에 도전라인(34)을 관통할 수 없는데 반하여, 본 발명의 실시예에 따른 콘택 플러그(44)는 도전라인(34)보다 나중에 형성되기 때문에 도전라인(34)을 관통하도록 형성할 수 있다. 콘택 플러그(44)가 도전라인(34)을 관통하기 때문에, 콘택 플러그(44)와 도전라인(34)의 전기적 연결은 콘택 플러그(44)의 측벽을 통하여 이루어지게 된다.

<46> 또한, 본 발명의 제 1 실시예에서 형성되는 콘택 플러그(44)에 있어서는, XY평면과 평행하게 자른 단면(이하 '평단면'이라 함)의 면적이 콘택 플러그(44)의 상부에서 하부로 갈수

록 감소한다. 그 이유는 콘택 플러그(44)가 형성될 콘택홀(42)의 상부는, 큰 정렬마진을 가지며 도전라인(34)의 선평보다 큰 폭으로 형성된 감광막 패턴에 의하여 정의되는 반면, 콘택홀(42)의 하부는 기본적으로 도전라인(34)의 선평에 의해 자기정렬되기 때문이다.

<47> 이하에서는 도 10 내지 도 16을 참조하여 본 발명에 따른 반도체 소자 제조방법에 대한 제 2 실시예를 상세하게 설명한다. 반도체 기판의 상부에 도전영역을 형성하는 단계 및 도전영역이 형성된 반도체 기판의 전면에 제 1 층간절연막을 형성하는 단계는 도 3a 및 도 3b를 참조하여 설명한 제 1 실시예와 동일하게 진행된다.

<48> 계속해서 도 10에 도시되어 있는 바와 같이, 제 1 층간절연막(32)의 상부에 도전물질을 증착하여 도전막을 형성한다. 그 다음, 도전막을 소정의 사진 식각기술로 패터닝하여 제 1 폭(D)을 선평으로 구비하는 도전라인(34')을 형성한다. 한편, 제 1 실시예에서 형성된 도전라인(도 4a의 34 참조)의 경우에는, 도전라인(도 4a의 34 참조)이 연속적으로 형성되어 있는 데 반하여, 제 2 실시예에서 형성되는 도전라인(34')은 제 2 폭(W₄)으로 단락(O')되도록 형성된다. 한편, 상기 도전라인(34')은 제 1 실시예와 동일한 물질을 사용하여 형성한다. 또한, 상부 도전라인(34')은 제 1 실시예에서 설명한 바와 같이 다마신 공정을 적용하여 형성하는 것도 가능하다.

<49> 도 11 및 도 12을 참조하면, 도전라인(34') 및 제 1 층간절연막(32)의 상부에 제 2 층간절연막(36)을 형성하는 공정은 제 1 실시예와 동일하게 실시한다. 이어서, 상기 제 2 층간절연막(36)의 상부에 감광막 패턴(38)을 형성한다. 감광막 패턴(38)의 세로폭인 제 3 폭(W₅)은 도전라인(34')의 단선평인 제 2 폭(W₄)보다 크고, 감광막 패턴(38)의 가로폭인 제 4 폭(W₆)은 도전라인(34')의 선평인 제 1 폭(D)보다 크게 형성한다. 왜냐하면, 후속공정에서 형성되는 콘택 플러그(도 16의 44 참조)의 저부에서 자기정렬된 콘택을 형성하기 위해서

는, 도전라인(34')의 단선부분(도 10의 O' 참조)을 완전히 노출시킬 수 있는 감광막 패턴(38)을 형성하여야 하기 때문이다.

<50> 도 13 및 도 14를 참조하면, 감광막 패턴(38) 및 도전라인(34')을 식각마스크로 하는 단일 식각공정을 실시하여 콘택 플러그(도 16의 44참조)를 정의하는 콘택홀(도 15의 42 참조)을 형성한다. 상기 식각공정에 이용되는 반응가스는 제 1 층간절연막 및 제 2 층간절연막을 도전라인(34')보다 빨리 식각할 수 있는 것을 선택하여야 한다. 따라서, 제 1 또는 제 2 층간절연막이 실리콘 산화물을 함유하고 있는 경우에는 $\text{CF}_4 + \text{H}_2$, C_2F_6 , C_3F_8 또는 CHF_3 를 식각가스로 사용하고, 제 1 또는 제 2 층간절연막이 실리콘 질화물을 포함하고 있는 경우에는 $\text{CF}_4 + \text{O}_2 + \text{H}_2$, C_2F_6 , C_3F_8 또는 CHF_3 를 식각가스로 사용하는 것이 바람직하다.

<51> 먼저, 제 2 층간절연막(36)을 식각한다. 상기 식각공정이 계속 진행되면, 제 2 층간절연막(36)이 식각되다가, 도전라인(34')이 노출된다. 한편, 본 발명에 따른 제 2 실시예에 의하여 형성되는 자기정렬 콘택은 도전라인(34')의 단선폭에 의하여 자기정렬된다. 따라서, 도전라인(34')이 노출된 이후에는 도전라인(34')이 식각마스크로 기능하게 된다. 도전라인(34')이 식각마스크로 기능하면, 도전라인(34')의 단선부분에 채워진 제 2 층간절연막(36)이 식각되어 콘택 플러그를 정의하는 콘택홀(42)이 형성되기 시작한다. 식각공정이 계속 진행되면, 도전라인(34')의 단선부분에 채워진 제 2 층간절연막(36)이 식각되다가, 제 1 층간절연막(32)의 상부가 노출된다. 제 1 층간절연막(32)의 노출폭(W_7)은 도전라인(34')의 단선폭보다는 클 수도 있다. 왜냐하면, 식각공정시 식각마스크인 도전라인(34')도 일부 식각되기 때문이다. 하지만, 식각공정을 조절함으로써 도전라인(34')의 단선폭과 동일한 폭으로 제 1 층간절연막(32)을 노출시키는 것도 가능하다. 한편, 도전라인(34')의 단선부분에 채워진 제 2 층간절연막(36)이 식각됨에 따라서, 콘택홀(42)의 측벽에는 경사면이 형성된다.

<52> 도 15를 참조하면, 감광막 패턴(38)과 도전라인(34')을 식각마스크로 하는 상기 단일 식각공정이 계속해서 진행된다. 도전라인(34')을 식각마스크로 하여 식각공정을 더 진행하여 콘택홀(도 15의 42 참조)의 하부에 형성된 제 1 층간절연막(32)을 식각한다. 제 1 층간절연막(32)이 식각됨에 따라서, 콘택홀(도 15의 42 참조)의 저부가 연장된다. 제 1 층간절연막(32)을 식각하는 식각공정의 식각종료점은 도전영역(31)의 상부표면이다. 도전영역(31)이 상기 식각공정에 의하여 노출되면 콘택 플러그(도 17의 44 참조)를 정의하는 콘택홀(42)이 형성된다.

<53> 도 16을 참조하면, 제 1 실시예와 마찬가지로 감광막 패턴(도 15의 38 참조)을 제거하고 나서, 클리닝 공정을 실시한 후 콘택 플러그(44)를 형성한다. 콘택 플러그(44)가 형성되는 콘택홀(42)에는 경사면이 형성되어 있다. 따라서, 콘택 플러그(44)를 형성하기 위하여 도전막으로 콘택홀(42)에 매립할 때, 도전막의 스텝커버리지 특성이 향상된다. 콘택 플러그(44)가 형성되면, 도전영역(31)과 도전라인(34')사이의 자기정렬 콘택이 콘택 플러그(44)의 저부에서 형성된다.

<54> 제 1 실시예에서 설명한 바와 같이 감광막 패턴(도 15의 38 참조)은 콘택홀(42)을 형성하기 전에 제거하는 것이 바람직하다. 따라서, 상기와 같이 단일 식각공정을 실시하여 콘택홀(42)을 형성하는 것이 아니라, 2회의 식각공정을 실시하여 콘택홀(42)을 형성할 수도 있다. 즉, 먼저 감광막 패턴(38)을 식각마스크로 하는 제 1 식각공정을 실시하여 도전라인(34')의 단선부분을 노출시킨다. 그 다음, 감광막 패턴을 제거하고 난 후, 도전라인(34')을 식각마스크로 하는 제 2 식각공정을 실시하여 도전영역을 노출시킨다. 물론, 감광막 패턴(38)을 콘택홀(42)을 형성하기 전에 제거하는 경우에는 제 1 실시예에서 설명한 바와 같이 제 2 층간절연막(36)을 충분한 두께로 형성하는 것이 바람직하다.

<55> 상기에서는 도 3a 내지 도 9b 및 도 10 내지 도 16을 참고하여 본 발명에 대한 바람직한 실시예들을 상세하게 설명하였다. 그러나, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상의 범위 안에서 당 분야에서 통상의 지식으로 그 변형이나 그 개량이 가능하다.

【발명의 효과】

<56> 본 발명에 따른 반도체 소자 제조방법은, 도전영역과 도전라인 사이에서 형성되는 콘택의 폭을 도전라인의 선폭 또는 단선폭에 의하여 자기정렬한다. 따라서, 콘택을 형성하기 위한 사진 식각공정의 정렬마진을 증가시킬 수 있어서, 반도체 소자의 집적도를 향상시킬 수 있다. 또한, 도전영역과 도전라인을 연결하는 콘택 플러그가 형성되는 콘택홀의 측벽에는 경사면이 형성된다. 따라서, 도전막으로 콘택홀을 채울 때 도전막의 스텝커버리지 특성을 향상시킬 수 있다. 그 결과, 콘택 플러그 내에 보이드와 같은 결점이 발생하는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

- (a) 반도체 기판의 상부에 도전영역을 형성하는 단계;
- (b) 상기 도전영역이 형성된 반도체 기판의 전면에 제 1 층간절연막을 형성하는 단계;
- (c) 상기 제 1 층간절연막상에 상기 도전영역과 연결될 도전라인을 형성하는 단계;
- (d) 상기 도전라인상에 제 2 층간절연막을 형성하는 단계;
- (e) 상기 도전영역의 상부에 형성된 상기 제 1 층간절연막, 상기 도전라인 및 상기 제 2 층간절연막을 제거하여 상기 도전영역을 노출시키는 콘택홀을 형성하는 단계; 및
- (f) 상기 콘택홀 내부에 도전물질을 채워 상기 도전라인과 상기 도전영역을 연결하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 2】

- 제 1 항에 있어서, 상기 (e) 단계는
- (e1) 상기 제 2 층간절연막상에 감광막 패턴을 형성하되, 상기 감광막 패턴의 폭이 상기 도전라인의 선폭보다 크도록 형성하는 단계;
 - (e2) 상기 감광막 패턴을 식각마스크로 하여 상기 제 2 층간절연막을 식각하여 상기 도전라인을 노출시키는 단계; 및
 - (e3) 상기 식각된 제 2 층간절연막을 식각마스크로 하여 상기 도전라인 및 상기 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법..

【청구항 3】

제 2 항에 있어서, 상기 (e3) 단계는

상기 식각된 제 2 층간절연막을 식각마스크로 하여 상기 도전라인을 식각함으로써 상기 제 1 층간절연막을 노출시키는 단계; 및

상기 노출된 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제 2 항 또는 제 3 항에 있어서, 상기 콘택홀은 상부의 단면적이 하부의 단면적보다 큰 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제 2 항 또는 제 3 항에 있어서, 상기 (e3) 단계 전에 상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제 1 항에 있어서, 상기 (c) 단계는

상기 제 1 층간절연막상에 상기 도전라인이 형성될 개구를 가지는 절연막 패턴을 형성하는 단계;

상기 개구내에 상기 도전라인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

(a) 반도체 기판의 상부에 도전영역을 형성하는 단계;

- (b) 상기 도전영역이 형성된 반도체 기판의 전면에서 제 1 층간절연막을 형성하는 단계;
- (c) 상기 제 1 층간절연막상에 상기 도전영역과 연결될 도전라인을 형성하되, 상기 도전영역과 연결될 부분이 소정의 폭 이상으로 단선되도록 형성하는 단계;
- (d) 상기 도전라인상에 제 2 층간절연막을 형성하는 단계;
- (e) 상기 도전영역 상부에 형성된 상기 제 1 층간절연막, 상기 도전라인의 단선부분에 채워진 제 2 층간절연막 및 상기 단선부분의 상부에 형성된 제 2 층간절연막을 제거하여 콘택홀을 형성하는 단계; 및
- (f) 상기 콘택홀 내부에 도전물질을 채워 상기 도전라인과 상기 도전영역을 연결하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법

【청구항 8】

제 7 항에 있어서, 상기 (e) 단계는

(e1) 상기 제 2 층간절연막상에 감광막 패턴을 형성하되, 상기 도전라인의 선폭 및 단선폭보다 큰 가로 세로폭을 가지는 감광막 패턴을 형성하는 단계; 및

(e2) 상기 감광막 패턴 및 상기 도전라인을 식각마스크로 하여 상기 단선부분의 상부에 형성된 제 2 층간절연막, 상기 단선부분내에 채워진 제 2 층간절연막 및 상기 단선부분의 하부에 형성된 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 9】

제 7 항에 있어서, 상기 (e2) 단계는

상기 감광막 패턴을 식각마스크로 하여 상기 단선부분의 상부에 형성된 제 2 층간절연막을 식각하여 상기 단선된 도전라인을 노출시키는 단계; 및

상기 식각된 제 2 층간절연막 및 상기 단선된 도전라인을 식각마스크로 상기 단선부분 내에 채워진 제 2 층간절연막 및 상기 단선부분의 하부에 형성된 제 1 층간절연막을 식각하여 상기 도전영역을 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 10】

제 7 항 또는 제 8 항에 있어서, 상기 콘택홀은 상부 단면적이 하부의 단면적보다 큰 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 11】

제 9 항에 있어서, 상기 단선된 도전라인을 노출시키는 단계 후에 상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 12】

제 7 항에 있어서, 상기 (c) 단계는

상기 제 1 층간절연막상에 상기 소정의 폭으로 단선된 도전라인이 형성될 개구를 가지는 절연막 패턴을 형성하는 단계; 및

상기 개구에 상기 소정의 폭으로 단선된 도전라인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 13】

제 1 항 또는 제 7 항에 있어서, 상기 도전영역은 비트라인 콘택패드, 워드라인 콘택패

드, 소오스 영역, 드레인 영역, 게이트 전극 또는 충전배선인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 14】

제 1 항 또는 제 7 항에 있어서, 상기 도전라인은 비트라인, 워드라인 또는 충전배선인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 15】

도전영역, 도전라인 및 상기 도전라인과 도전영역을 전기적으로 연결하는 콘택 플러그를 포함하는 반도체 소자에 있어서,

상기 도전라인은 상기 콘택 플러그의 측벽을 통하여 전기적으로 연결되고, 상기 도전영역은 상기 콘택 플러그의 저부를 통하여 전기적으로 연결되며, 상기 콘택 플러그의 평단면의 면적은 상부에서 하부로 갈수록 감소하는 것을 특징으로 하는 자기정렬 콘택을 가지는 반도체 소자.

【청구항 16】

제 15 항에 있어서, 상기 콘택 플러그 저부의 X축 방향으로의 폭은 도전라인의 선포에 의하여 자기정렬된 폭인 것을 특징으로 하는 자기정렬 콘택을 가지는 반도체 소자.

【청구항 17】

제 15 항에 있어서, 상기 콘택 플러그의 상부의 X축 방향으로의 폭은 도전라인의 선포보다는 큰 것을 특징으로 하는 자기정렬 콘택을 가지는 반도체 소자.

【청구항 18】

제 15 항에 있어서, 상기 도전영역은 비트라인 콘택패드, 워드라인 콘택패드, 소오스

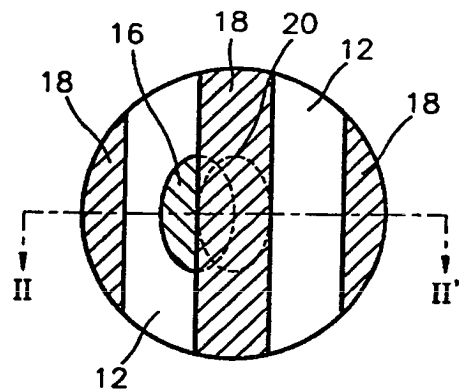
영역, 드레인 영역, 게이트 전극 또는 충전배선인 것을 특징으로 하는 자기정렬 콘택을 가지는 반도체 소자.

【청구항 19】

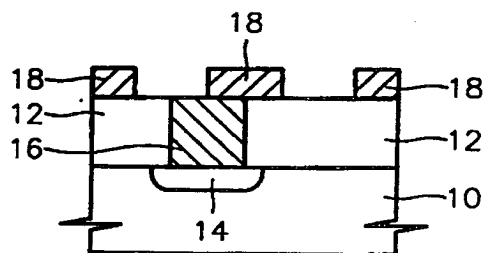
제 15 항에 있어서, 상기 도전라인은 비트라인, 워드라인 또는 충전배선인 것을 특징으로 하는 자기정렬 콘택을 가지는 반도체 소자

【도면】

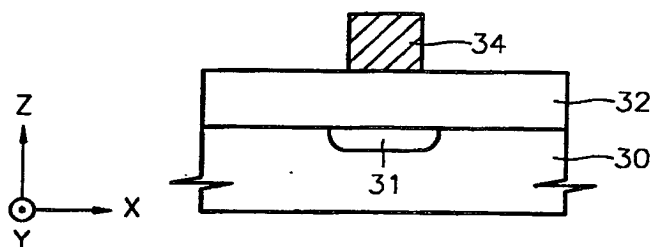
【도 1】



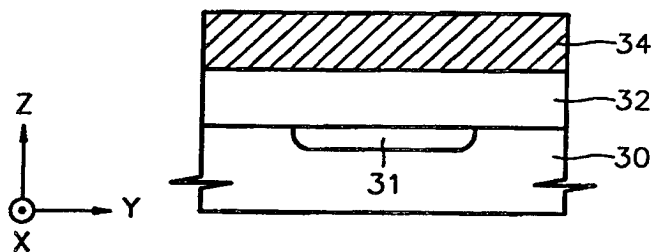
【도 2】



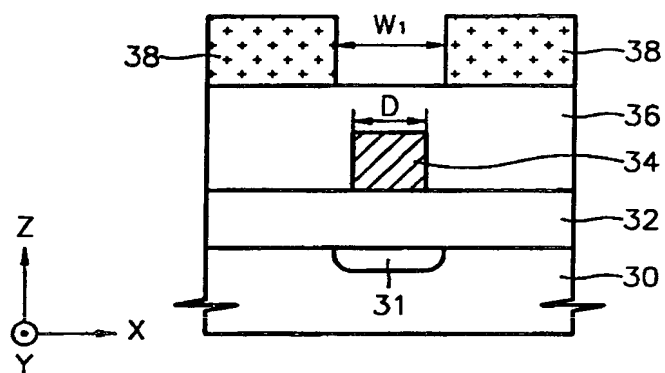
【도 3a】



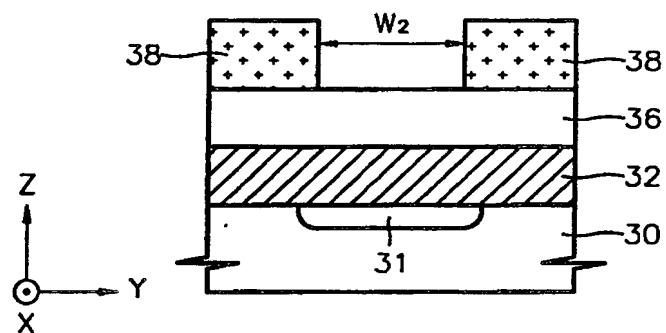
【도 3b】



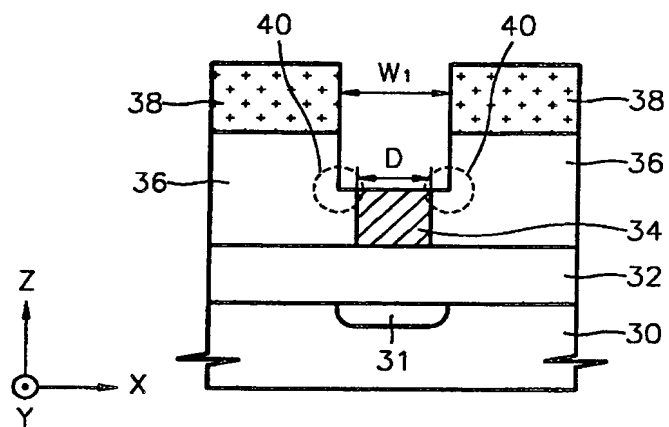
【図 4a】



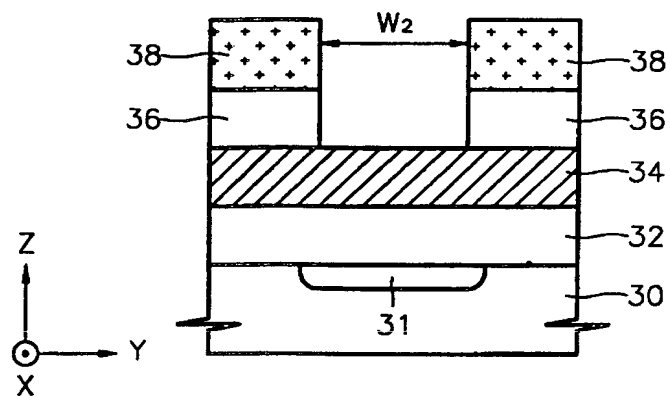
【図 4b】



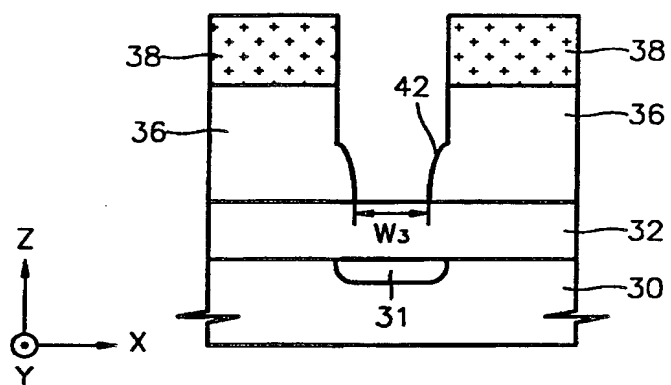
【図 5a】



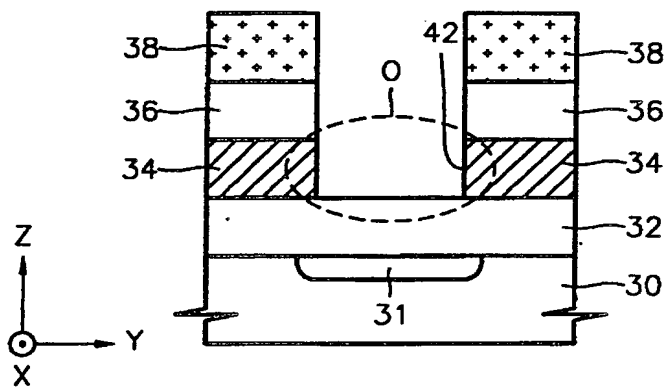
【도 5b】



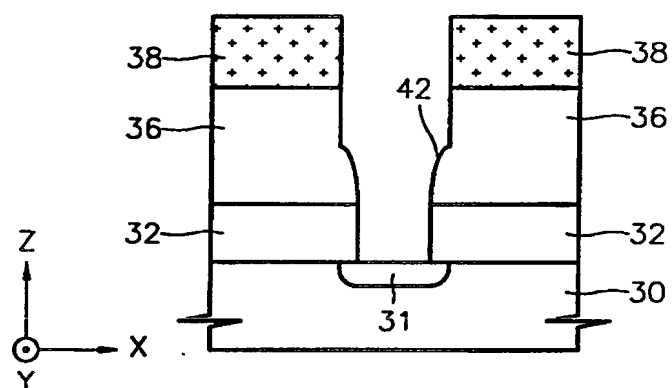
【도 6a】



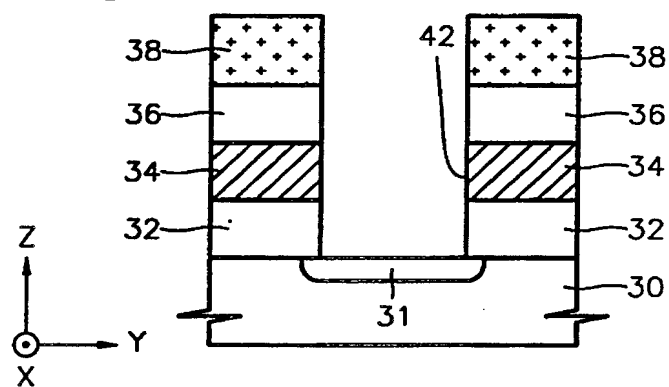
【도 6b】



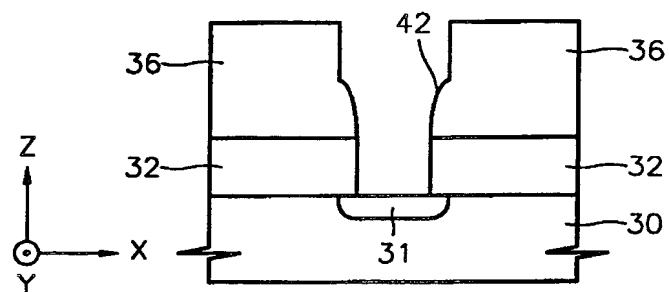
【図 7a】



【図 7b】



【図 8a】



【図 8b】

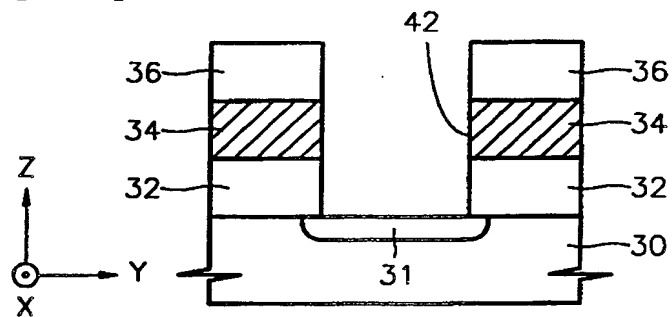
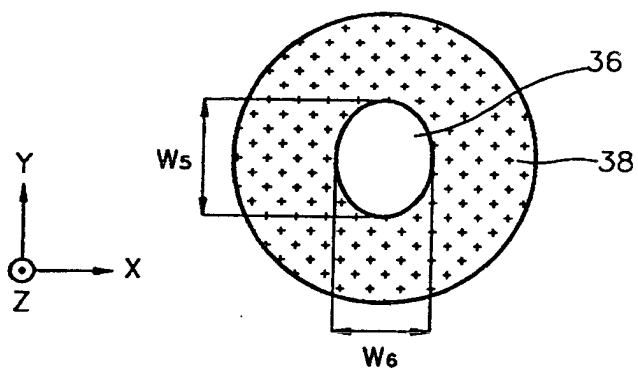
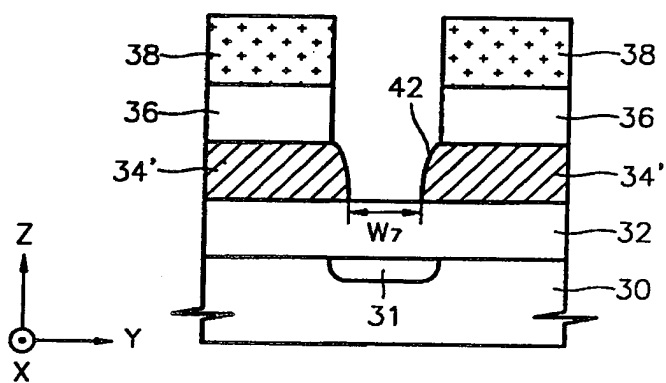


FIG. 1 is a schematic diagram of a circular cross-section of a device. The diagram shows a central vertical axis with a horizontal section labeled W_4 and a vertical section labeled D . The outer boundary is a circle. A coordinate system is shown on the left with axes X , Y , and Z . Labels include $34'$, 32 , $34'$, $34'$, W_4 , O' , B , and B' .

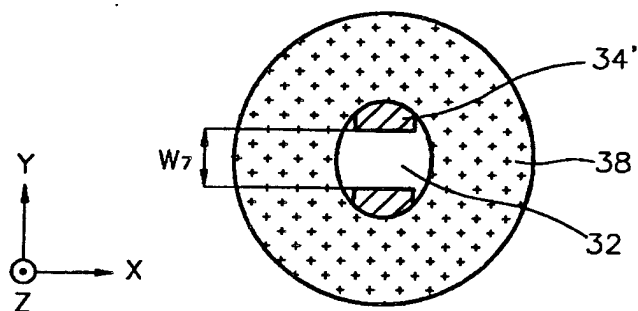
【図 12】



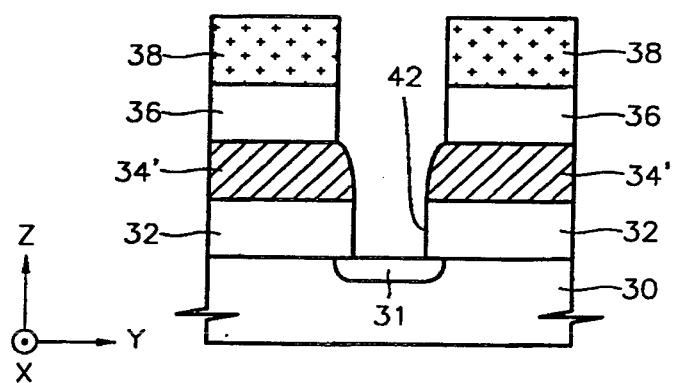
【図 13】



【図 14】



【도 15】



【도 16】

